

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-295684**

(43)Date of publication of application : **29.10.1999**

(51)Int.Cl. **G02F 1/133**  
**G09G 3/36**

(21)Application number : **10-101571** (71)Applicant : **SEIKO INSTRUMENTS INC**  
(22)Date of filing : **13.04.1998** (72)Inventor : **INOUE SHIGETO**  
**SHIOURA TETSUO**

## (54)PROTECTION CIRCUIT FOR LCD CONTROLLER IC

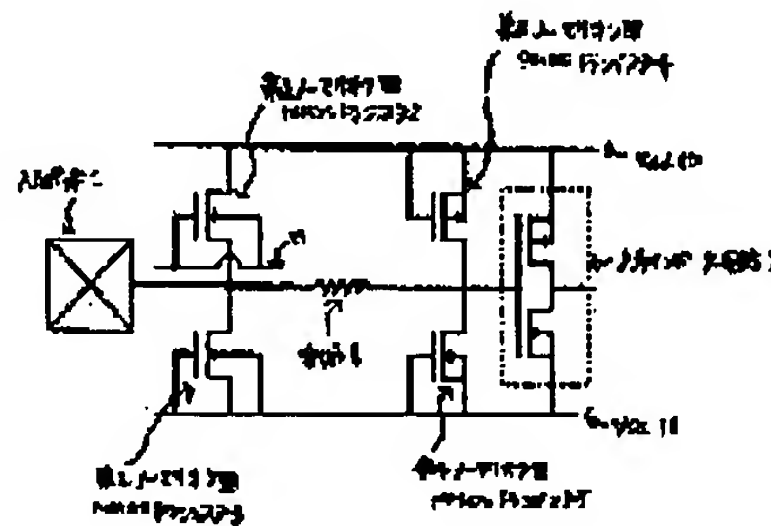
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain prevention of electrostatic discharge failure by providing a resistor between a normally OFF NMOS transistor and an input gate circuit and providing a third normally OFF PMOS and a fourth normally OFF NMOS just in front of input circuit.

**SOLUTION:** A resistor 6 higher than 200  $\Omega$  is inserted between first and second normally OFF NMOS transistors 2 and 3 and an input inverter circuit 7. Further,

between the resistor 6 and the input inverter circuit 7, a third normally OFF PMOS transistor 4 is arranged on the side

of Vdd and a fourth normally OFF NMOS transistor 5 is arranged on the side of Vss. The first and second normally OFF transistors let most of charges on an IC flow through the avalanche breakdown of drains or the forward operation of diodes. The resistor 6 between the first and second normally OFF transistors and between the third and fourth normally OFF transistors delays charges at the gate electrode of the transistor so as not to immediately move it to the input circuit.



## LEGAL STATUS

[Date of request for examination] 18.05.1999

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision  
of rejection or application  
converted registration]

[Date of final disposal for  
application]

[Patent number] 3140419

[Date of registration] 15.12.2000

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平11-295684

(43)公開日 平成11年(1999)10月29日

(51)IntCl<sup>4</sup>

G02F 1/133

G09G 8/28

優先番号

805

FI

G02F 1/133

G09G 8/28

805

審査請求 有 請求項の数 2 OL (全 4 頁)

(21)出願番号 特願平10-101571

(22)出願日 平成10年(1998)4月18日

(71)出願人 000002325

セイコーインスツルメンツ株式会社  
千葉県千葉市美浜区中瀬1丁目8番地

(72)発明者 井上 康人

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

(73)発明者 飯田 智郎

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

(74)代理人 弁理士 林 敏之助

(54)【発明の名称】 LCDコントローラーICの保護回路

(57)【要約】

LCDコントローラーICの保護回路において大電流を逃がすノーマリオフトランジスタと入力回路のゲート電圧の電荷の移動を妨げるための抵抗と、この電荷を逃がすためのノーマリオフトランジスタからなる入力保護回路。

【課題】 LCDモジュールに実装されるコントローラーICの静電破壊対策。

【解決手段】 入力パッドに接続し、第1、第2ノーマリオフ型のNMOSTランジスタと、第3ノーマリオフ型のNMOSTランジスタとMOBトランジスタからなる入力回路の間に配置された抵抗と、第3ノーマリオフ型のPMOSTランジスタ、第4ノーマリオフ型のNMOSTランジスタ。

